АРХІТЕКТУРА КОМП’ЮТЕРІВ

Методичні вказівки

до курсового проекту для студентів спеціальності

“Комп’ютерні системи та мережі ”

ІЗДН

ЗМІСТ

1. Основні положення ……. 5
2. Тематика курсового проектування……..... 13
3. Структура курсового проектування…… 20
Список літератури ……... 29
Додаток А. Приклад курсового проекту . 40
Додаток Б. Варіанти завдань…….. 43

1. Основні положення

Курсовий проект (КП) з дисципліни “Архітектура комп’ютерів” є самостійною роботою студента і виконується за індивідуальним завданням. Має закріпити, узагальнити знання, які отримані студентом в період навчання. Крім того, в процесі виконання курсового проекту студент має набути навичок з користування довідковою літературою та освоїти процес створення проектно-конструкторської документації відповідно до вимог стандартів.

Можна виділити такі етапи проектування: архітектурний та технічний.

Архітектурний етап пов'язаний з рішенням задачі вибору структури цифрових пристроїв.

Етап технічного проектування складає розробку принципіальних та монтажних схем, специфікацій.

Елементною базою проектування виробів є мікропроцесорні великі інтегральні схеми (ВІС), інтегральні мікросхеми (ІМС) малої та середньої інтеграції. Критерієм її вибору є мінімальний час затримки та потужність, яка споживається.

2. Тематика курсового проекту

В КП розробляється спеціалізований мікрокомп’ютер (МК) на базі одно кристального мікропроцесора, що входить до складу мікропроцесорного комплексу (МПК) К1810. Варіанти завдань заведені у додатку Б. Спеціалізація МК визначається використанням специфічних ПВВ.

3. Структура курсового проекту

Незалежно від призначення мікрокомп’ютера в КП виділяються аналітична та графічна частина.

Аналітична частина

В аналітичній частині розробляється архітектурний та технічний етапи КП.

Архітектурний етап визначає:

- структурну схему мікрокомп’ютера;
- розподіл адресного простору (АП) пам'яті;
- розподіл АП вводу/виводу.

Оформлення КП

КП оформляється у вигляді пояснювальної записки та супроводжуючих креслень (графічних робіт).

Структура пояснювальної записки та графічні роботи.

Об’єм пояснювальної записки – до 15 сторінок рукописного тексту формату А4 і має наступну структуру:

- титульний аркуш;
- технічне завдання;
- зміст;
- основна частина;
- список літературних джерел.

Графічні роботи складаються з креслень мікрокомп’ютера:

- структурна схема;
- принципіальна схема.

Основна частина відповідає крокам КП:

Вступ

1. Структура мікрокомп’ютера.
2. Структура процесора.
3. Пам'ять.
4. Система вводу/виводу.
5. Структурна схема мікрокомп’ютера.
6. Принципіальна схема мікрокомп’ютера.

У додатку А розглянутий приклад курсового проекту та його оформлення.

Варіанти завдань наведені у додатку Б.

Список літератури

1. Микропроцессорный комплект К1810: Структура, программирование, применение. Справочная книга / Ю.М. Казаринов и др. – М.: Высш. шк., 1990. – 269 с.

2. Самофалов К.Г. и др. Микропроцессоры. – К.: Техника, 1986. – 278 с.

3. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения: Справочник. – 2-е изд. перераб. и доп. – М.: Радио и связь, 1990. – 512 с.

4. Архітектура комп’ютерів. Інтегральні мікросхеми серії КР1533. / Єфимець В.М., Зибін С.В., Коженевський С.Р. – К.: ДУІКТ, 2007. – 27 с.

5. Архітектура комп’ютерів. Великі інтегральні схеми пам'яті. / Єфимець В.М., Зибін С.В., Коженевський С.Р. – К.: ДУІКТ, 2007. – 37 с.

Додаток А
Титульний аркуш

Кафедра комп’ютерних систем та мереж

Спеціальність – “Комп’ютерні системи та мережі ”

Курсовий проект

з дисципліни “Архітектура комп’ютерів ”

Тема: “Спеціалізований мікрокомп’ютер”

Виконав(ла)
Керівник
Оцінка

Київ 200Х

Продовження дод. А

Технічне завдання

на курсову роботу студентки ХХХ групи

Руденко Оксани Іванівни

Термін виконання 20.01.хх – 20.03.хх р.

4. Спроектувати спеціалізований мікрокомп’ютер (МК) на базі одно кристального мікропроцесора (МП).

4. Вихідні дані:

1) елементна база – МПК К1810, КР1533;
2) адресний простір пам'яті – 128 Кбайт;
3) пам'ять МК: N_{RAM} (S – статична);

   N_{ROM} (РТ – програмована з перепалюванням перемикачів);
4) ПВВ: клавіатура – 4 клавіші; дисплей – 7-сегментний – 2 розділи; звуковий динамік – + (є);
5) адресний простір вводу/виводу – 256 байт;
6) інтерфейс ПВВ – 1 (паралельний програмований адаптер КР580ИК55);

4. Креслення:

1) структурна схема МК;
2) принципіальна схема МК;

Завдання прийняв до виконання (підпис)

«_____» _____ 200х р.

Продовження дод. А

ЗМІСТ

Вступ

1. Структура мікрокомп’ютера …….
2. Структура процесора …….
   2.1. Мікропроцесор КР1810ВМ86(і8086)……
   2.2. Генератор тактових сигналів (ГТС) КР1810ГФ84..……
   2.3. Буферні регістри та шинні формувачі ……
   2.4. Контролер системної шини (КСШ) К1810ВГ88……
3. Пам'ять ……
4. Система вводу/виводу ……..
5. Структурна схема МК ……..
6. Принципіальна схема МК ……

Список літератури …….

ВСТУП

Визначається призначення мікрокомп’ютера (МК), особливості його архітектури, склад пристроїв вводу/виводу (ПВВ) та використана елементна база.

1. Структура мікрокомп’ютера

Особливістю архітектури МК є використання одно кристального мікропроцесора (МП) К1810ВМ86 (i8086) та загальної шини. Структура МК представлена на рис. 1, де П – процесор, ЗШ – загальна шина, ЛШ – локальна шина МП.

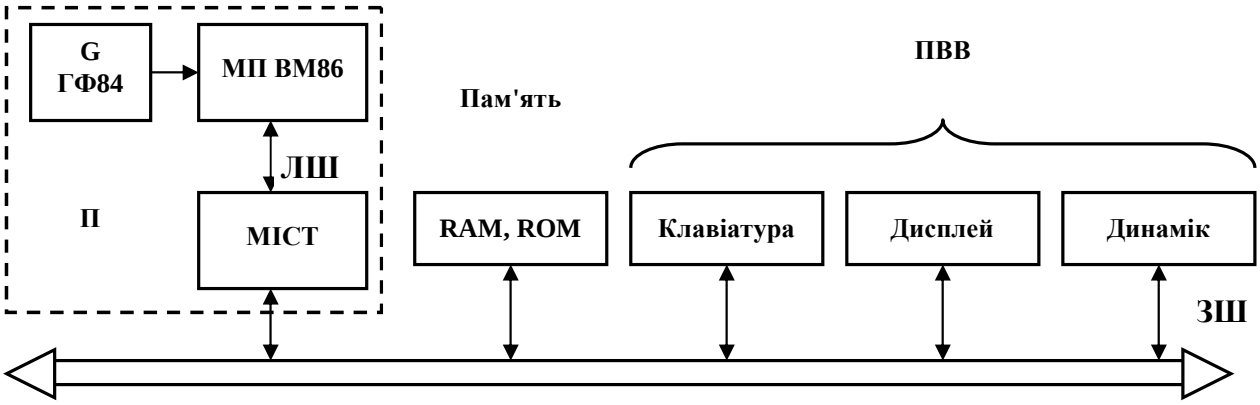


Рис. 1. Мікрокомп’ютер

Взаємодія процесора П з пам’яттю (RAM, ROM) та (ПВВ) використовується через загальну (системну) шину.

2. Структура процесора

Структура процесора представлена на рис. 2.

Ядром процесора є МП ВМ86, який функціонує у максимальному або мінімальному режимі.

Крім МП до складу процесора П входять генератор тактових сигналів (ГТС) G та міст.

ГТС служить для керування МП ВМ86 та ПВВ, а також формування тактових сигналів CLK.

МІСТ, в залежності від стану МП, керує обміном даних між локальною шиною ЛШ МП і загальною шиною ЗШ.

Загальна (системна) шина складається з трьох груп шин: A – адресна; D – даних; C – керування. Шина D є двонаправленою.

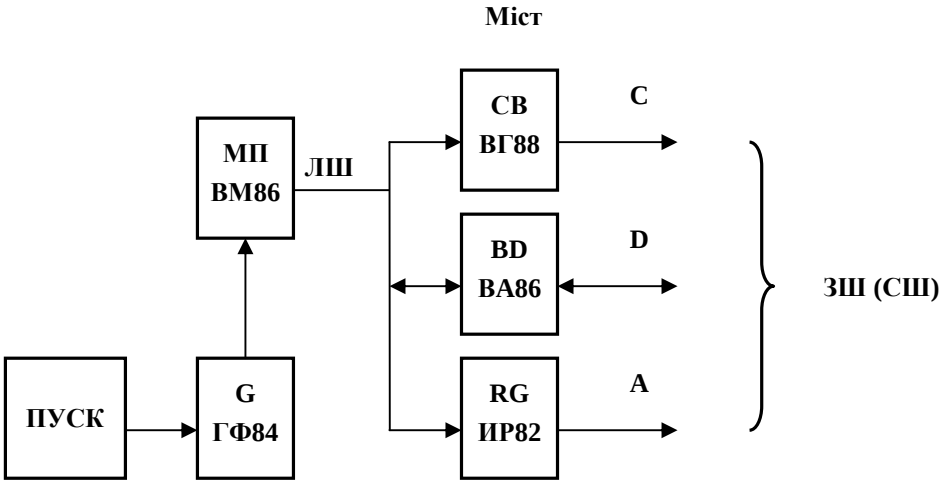


Рис. 2. Процесор МК

2.1. Мікропроцесор КР1810ВМ86 (i8086)

ВМ86 є однокристальним МП виконаний за технологією n-МОП. Виконує загальну обробку даних і керування блоками МК.

МП ВМ86 може функціонувати в одному із двох режимів – мінімальному і максимальному. В КП використовується максимальний та мінімальний режими.

2.1.1. Максимальний режим

Цей режим МП служить для побудови складних багатопроцесорних систем, в яких керуючі сигнали загальної шини формуються системним контролером шини К1810ВГ88 відповідно до коду стану МП.

Умовно-графічне позначення (УГП) МП ВМ86 показано на рис. 3. Наведені тільки ті виводи, які використані в КП при розробці МК.

AD15-AD0 – мультиплексна сумісна двунаправлена шина адреси/даних, по якій з розподілом часу передаються адреси та дані. В першому такті циклу шини – циклу звернення до пам'яті або ПВВ МП видає на цю шину молодші 16 біт адреси пам'яті або повну адресу ПВВ. Ця адреса повинна бути зафіксована і збережена на протязі усього циклу шини. Для цього використовується зовнішній регістр-защіпка К1810ИР82(83). Запис в регістр виконується в момент появи строба адреси ALE.

В другій половині циклу шини по лініям AD15-AD0 пересилаються дані або байти команд, які супроводжуються стробом даних DEN.

A19/S6 – A16/S3 – мультиплексні вихідні лінії адреси/стану. В першому такті на ці лінії видаються старші 4 біти адреси пам'яті, а при адресації ПВВ – нулі. В інших тактах циклу шини МП видає на ці лінії сигнали стану S6 – S3.

$\overline{\text{BHE}}$ – дозвіл передачі старшого байта. Формується у першому такті циклу шини одночасно із адресною інформацією. Нульовий рівень $\overline{\text{BHE}}$ означає, що по старшій половині шини AD (AD15 – AD8) передаються 8-бітні дані. Сигнал $\overline{\text{BHE}}$ фіксується на зовнішньому регістрі адреси та використовується як додатковий адресний вихід, що визначає доступ до

старшого банку пам'яті або ПВВ з байтовою організацією та підключеному до старшої половини шини AD.

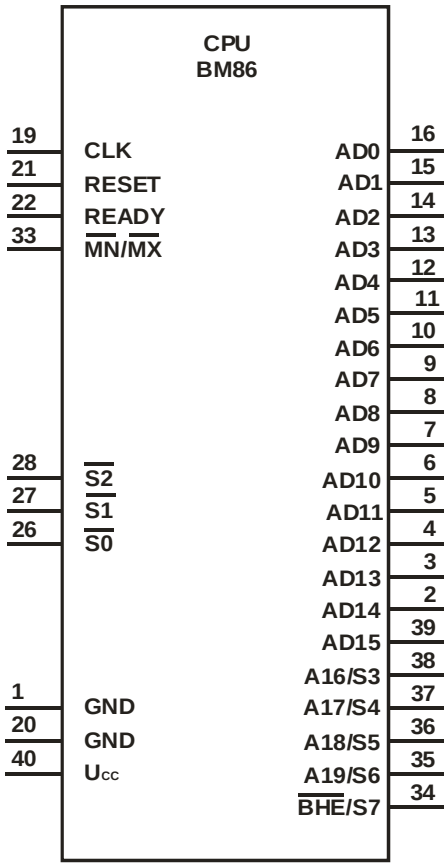


Рис. 3. УГП ВМ86 (максимальний режим)

Сумісне використання $\overline{\text{BHE}}$ і молодшого біта адреси A(0) для декодування адрес дозволяє передачу слів або окремих байтів по шині AD (табл. 1).

Таблиця 1

$\overline{\text{BHE}}$	A(0)	Дані
0	0	Слово
0	1	Старший байт
1	0	Молодший байт
1	1	Не використовується

CLK – сигнал синхронізації від зовнішнього генератора тактових сигналів ГФ84. Служить для синхронізації МП. Період CLK 200-500 нс.

RESET – скид. Змінює стан МП на початковий, в якому сегментні регістри DS, SS, ES, вказівник команд IP, регістр прапорців (ознак) F та інші скидаються у нульовий стан. Сегментний регістр коду CS встановлюється у стан FFFFh. Сигнал RESET не змінює стану регістрів загального призначення (РЗП).

MN/$\overline{MX}$ – мінімальний/максимальний режим. Визначає режим роботи МП

$$MN/\overline{MX} = \begin{cases} 0 - \text{ìàêЧèìàëüí} \quad \text{èé}, \\ 1 - \text{ì³í³ìàëüíè} \quad \text{é}. \end{cases}$$

$\overline{S2}$ - $\overline{S0}$ – сигнали стану. Визначають тип циклу шини (табл. 2).

Таблиця 2

$\overline{S2}$ $\overline{S1}$ $\overline{S0}$	Цикл шини	Командний сигнал ВГ88
0 0 0	Підтвердження переривання	$\overline{INTA}$
0 0 1	Читання ПВВ	$\overline{IOR}$
0 1 0	Запис ПВВ	$\overline{IOW}$
0 1 1	Зупин	
1 0 0	Вибірка команди	
1 0 1	Читання пам'яті	$\overline{MR}$
1 1 0	Запис в пам'ять	$\overline{MW}$
1 1 1	Циклу шини нема	

READY – готовність (придатність). ПВВ, що адресується в циклі шини, готовий (придатний) до обміну даними. При READY=0 ПВВ не готовий до взаємодії з МП. Останній переходить в стан очікування. При READY=1 МП виходить із цього стану та відновлює роботу.

2.1.2. Мінімальний режим

Цей режим використовується в однопроцесорних МК ($MN/\overline{MX} = 1$). Системним сигналам безпосередньо відповідають сигнали на виводах МП (рис. 4).

M/$\overline{IO}$ – визначає розподіл адресного простору пам'яті та вводу/виводу. Значення M/$\overline{IO}$ =0 з’являється при використанні команд вводу (IN) і виводу (OUT).

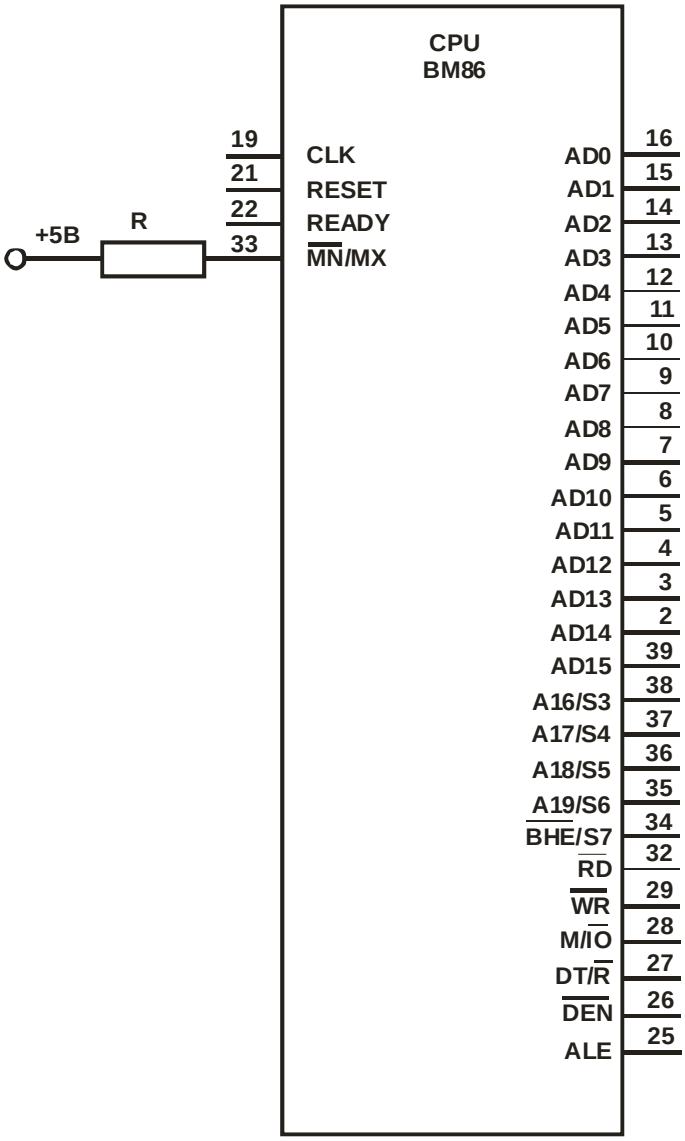


Рис. 4. УГП ВМ86 (мінімальний режим)

2.2. Генератор тактових сигналів в (ГТС) К1810ГФ84

ГТС служить для керування МП ВМ86, а також синхронізації сигналів READY з тактовими сигналами МП і сигналів загальної (системної) шини. УГП ГФ84 показано на рис. 5. Визначені ті сигнали, які необхідно використати в КП.

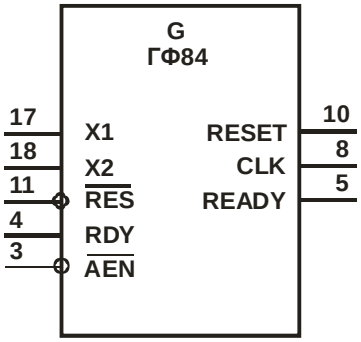


Рис. 5. УГП К1810 ГФ84

X1 – X2 – входи підключення кварцового резонатора.

$\overline{RES}$ – вхід, до якого підключена RC – схема сигналу RESET.

RDY – вхідний сигнал. Формується ПВВ і підтверджує їх готовність до обміну з МП.

$\overline{AEN}$ – вхідний сигнал дозволу формування сигналу READY по сигналу RDY. Підтверджує адресацію до даного ПВВ.

RESET – сигнал скиду МП ВМ86.

CLK – тактовий сигнал МП ВМ86.

READY – сигнал готовності для МП ВМ86.

Схема підключення до ГТС кварцового резонатора та RC-схеми показана на рис. 6.

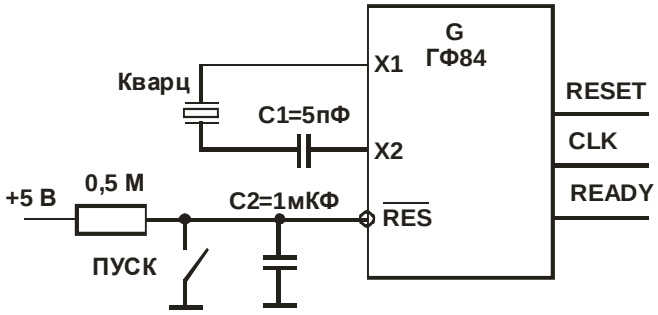
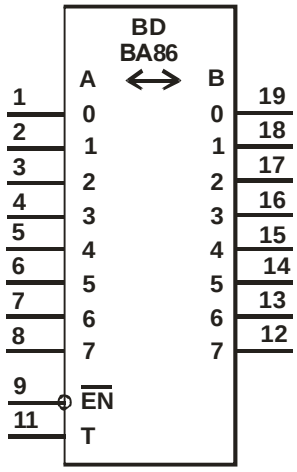


Рис. 6. Підключення RC-схеми

2.3. Буферні регістри та шинні формувачі

2.3.1. Буферні регістри (БР) КР580ИР82(83)

БР складаються із 8 тригерів з вихідними схемами із трьома станами, загальними сигналами запису STB і керування вихідними схемами $\overline{EN}$. УГП БР ИР82 показано на рис. 7.



STB – строб запису. Запис коду DI (7:0) в регістр відбувається при переході сигналу STB з високого рівня до низького.

$\overline{EN}$ – виключення виходів DO (7:0).

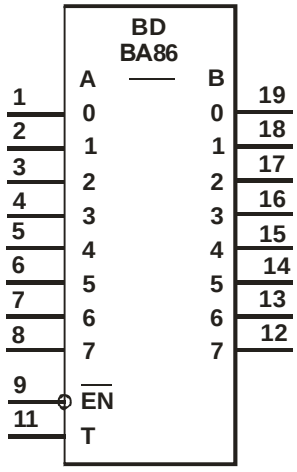
$$\overline{EN} = \begin{cases} 0 - \text{âêëþ÷åíèÿ} \quad D0, \\ 1 - \text{âèêëþ÷åíèÿ} \quad D0. \end{cases}$$

Рис. 7. УГП КР580ИР82

В БР ИР83 інформаційні виходи в DO (7:0) – інверсні.

2.3.2. Шинні формувачі (ШФ) КР580ВАВА86(87)

ШФ використовуються для побудови двунаправлених буферів. УГП ШФ ВА86 представлено на рис. 8.



ШФ 8-розрядний з загальними сигналами T і $\overline{EN}$.

$\overline{EN}$ – виключення виходів.

T – сигнали керування напрямком передачі

$$T = \begin{cases} 0 - A := B, \\ 1 - B := A. \end{cases}$$

Рис. 8. УГП КР580ВА86

2.4. Контролер системної шини (КСШ) К1810ВГ88

В залежності від стану МП ВМ86 контролер керує обміном даними між ЛШ МП і зовнішньою (системною) шиною МК при наявності доступу до шин МП. КСШ синхронізується ГТС ГФ84 і керує шинними формувачами, регістрами, ПВВ та пам’яттю.

УГП КСШ ВГ88 показано на рис. 9.

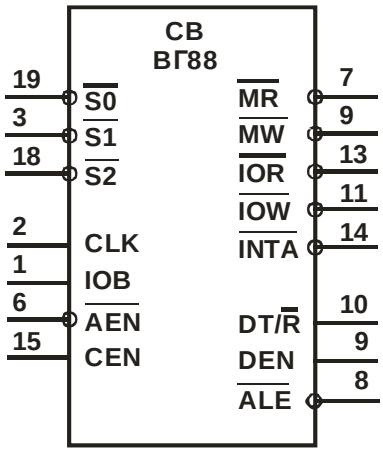


Рис. 9. УГП КСШ К1810ВГ88

$\overline{S}_2\overline{S}_1\overline{S}_0$ – входи сигналів стану МП ВМ86. КСШ декодує ці сигнали і формує командні сигнали та сигнали керування (див. табл. 2).

CLK – вхідний сигнал синхронізації КСШ.

$\overline{AEN}$ – сигнал керування формуванням командних сигналів.

CEN – сигнал керування формуванням командних сигналів та сигналу DEN.

IOB – вибір режиму роботи КСШ

$$IOB = \begin{cases} 0 - \text{ðåæèì ñèñòåìíîé øèíè}, \\ 1 - \text{ðåæèì øèíè ââîäó/âèâîäó}. \end{cases}$$

$\overline{MR}$ – сигнал читання із пам'яті.

$\overline{MW}$ – сигнал запису в пам'ять.

$\overline{IOR}$ – сигнал вводу із ПВВ.

$\overline{IOW}$ – сигнал виводу на ПВВ.

$DT/\overline{R}$ – сигнал керування шинними формувачами. Визначає напрямок передачі

$$DT/\overline{R} = \begin{cases} 0 - \text{ËØ} := \text{ÑØ}, \\ 1 - \text{ÑØ} := \text{ËØ}. \end{cases}$$

DEN – включення шинного формувача.

$\overline{ALE}$ – строб запису адреси з локальної шини МП в регістр адреси.

Режим роботи КСШ встановлюється сигналом IOB.

Режим роботи із системною шиною (IOB=0) КСШ формує командні сигнали та сигнали ALE, DEN, $DT/\overline{R}$ керування фіксаторами адреси і шинними формувачами. В однопроцесорному МК на входах КСШ формуються постійні значення сигналів AEN=0 і CEN=1, які дозволяють видачу командних сигналів та сигналів керування.

Схема включення КСШ та структура процесора показана на рис. 10.

У мінімальному режимі системні сигнали $\overline{MEMR}, \overline{MEMW}, \overline{IOR}, \overline{IOW}$ можуть формуватись на основі елементів “АБО-НІ” або декодера на три входи (рис. 11).

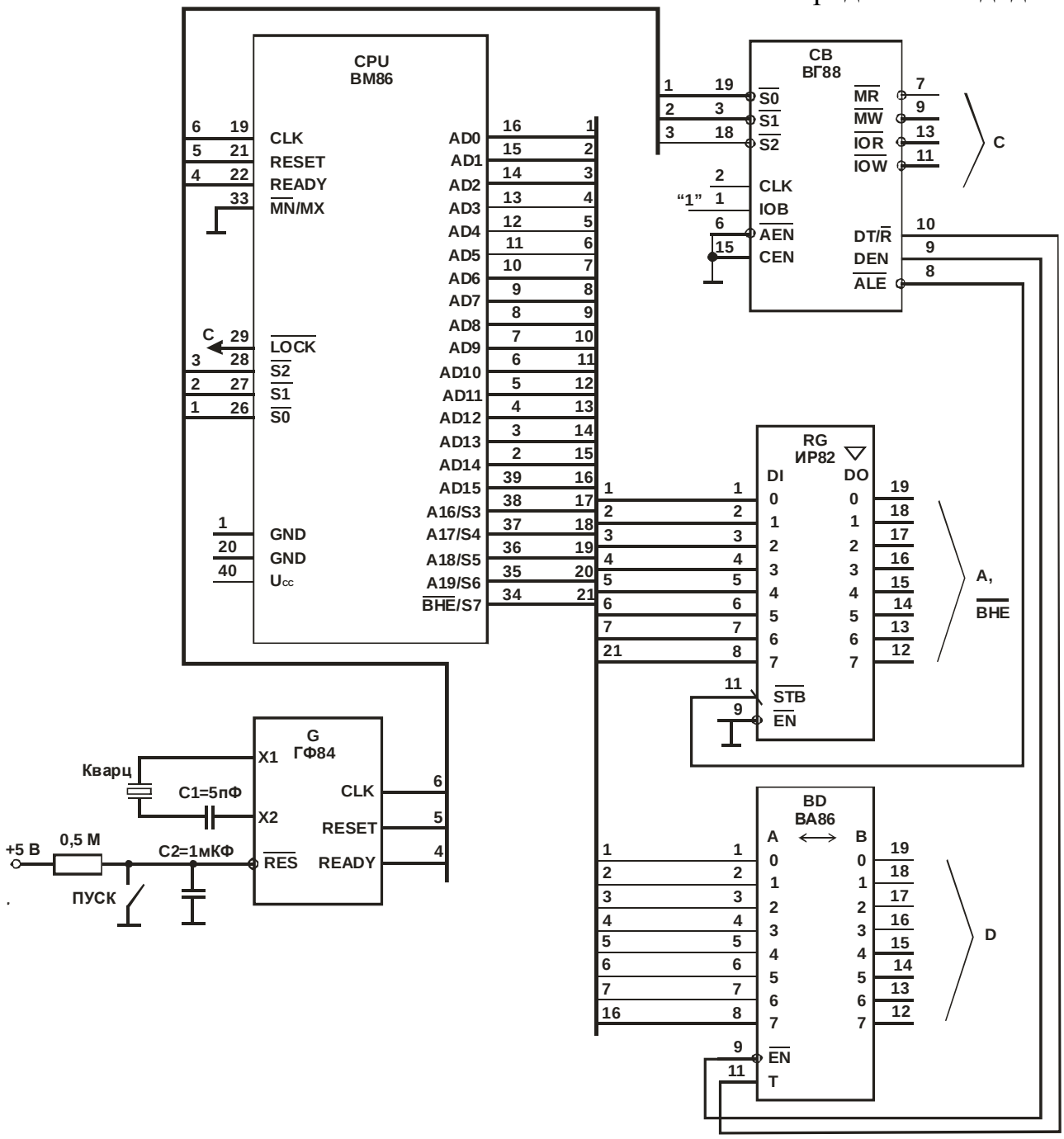


Рис. 10. Структура процесора МК (максимальний режим)

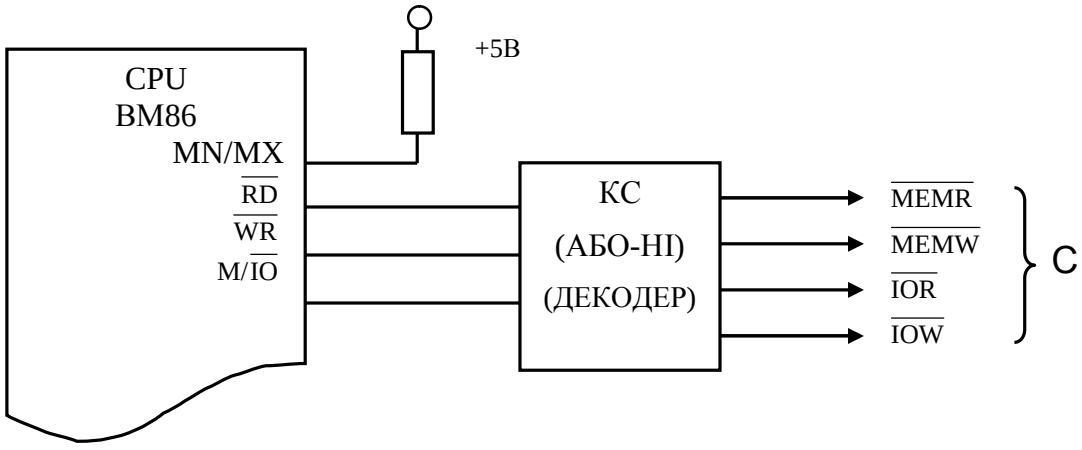


Рис. 11. Формування системних сигналів (мінімальний режим)

3. Пам'ять

3.1. Банки пам'яті

Пам'ять МК структурно складається із оперативної (RAM) і постійної ROM. При підключенні пам'яті до системної шини необхідно забезпечити передачу як 2-байтних слів так і окремих байтів. Для цього пам'ять МК реалізується у вигляді двох банків (рис. 12). Молодший банк L підключається до ліній даних D(7:0) і містить байти з парними адресами (A(0)=0). Старший банк H – до ліній даних D(15:8) і містить байти з непарними адресами (A(0)=1). Кожне слово передається за один цикл шини, якщо слова розміщені з парних адрес. Передачу байтів і слів забезпечує адресна лінія A(0) та сигнал $\overline{BHE}$ (табл. 1).

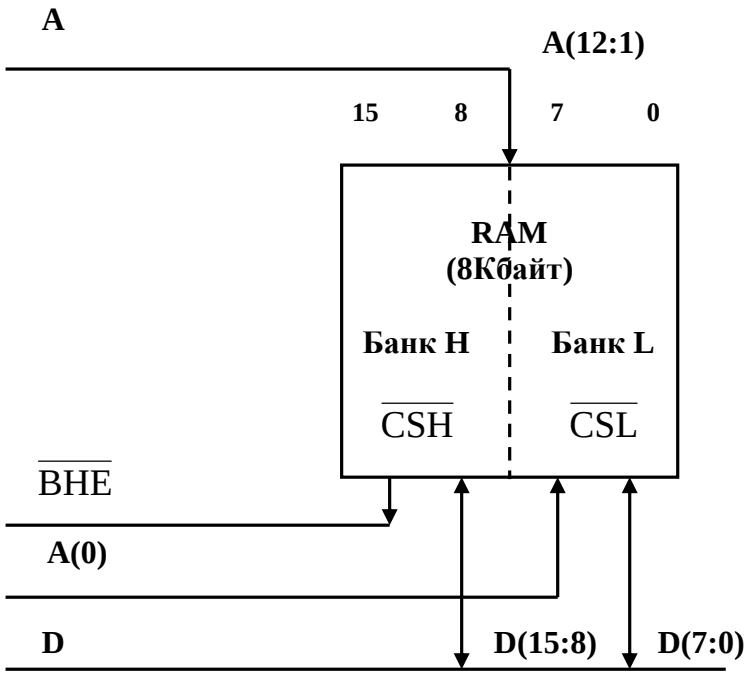


Рис. 12. Банки пам'яті

$\overline{CSH}, \overline{CSL}$ – сигнали вибору банків пам'яті.

3.2. Розподіл адресного простору пам'яті

Адресний простір пам'яті АП=128Кбайт розподіляється для розміщення підмножин адрес RAM та ROM.

Підмножина адрес RAM

$N_{RAM} = 64$Êá, $n_{ARAM} =]\log_2 64K[= 16$á³ò ; число 16 – річних цифр в адресі дорівнює 16/4=4.

Відносний діапазон адрес RAM (0000h – FFFFh).

Підмножина адрес ROM

$N_{ROM} = 8$Êáàéò, $n_{AROM} =]\log_2 8K[= 13$á³ò ; число 16 – річних цифр в адресі дорівнює 13/4=3 та 1 в залишку.

Відносний діапазон адрес ROM (0000h – 1FFFh).

Адресний простір пам'яті АП=128Кбайт. Необхідна розрядність адреси

$$n_{\text{ÀÀÏ}} =]\log_2 128K[= 17\text{á}^3\text{ò}$$

Число 16-річних цифр 17/4=4 та 1 в залишку.
Діапазон адрес АП (00000h – 1FFFFh).

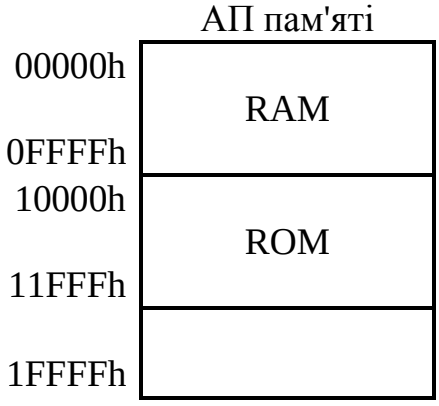


Рис. 13. Розподіл АП пам'яті

Максимальне значення адреси пам'яті $A_{MAX} = 11FFFh$.

Цьому значенню Amax відповідає довжина двійкового адресного коду n=17 біт.

Таким чином, адресна шина МК має 17 ліній.

Значення біта А(16) визначає області RAM і ROM в АП пам'яті МК.

$$A(16) = \begin{cases} 0 - \text{îáëàñòü RAM}, \\ 1 - \text{îáëàñòü ROM}. \end{cases}$$

Структура пам'яті МК показана на рис. 14.

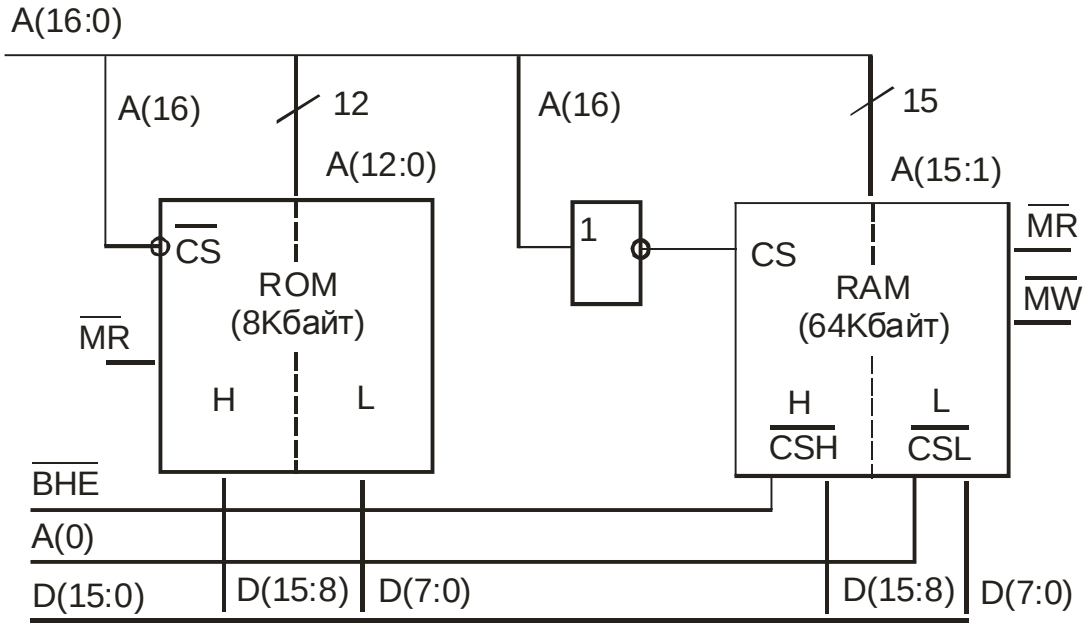
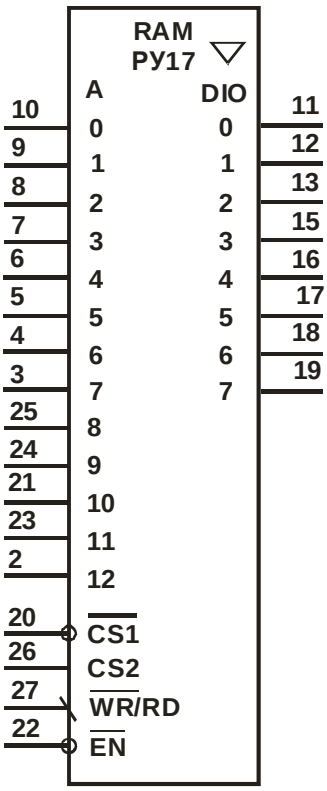


Рис. 14. Організація пам'яті МК

3.3. Оперативна пам'ять МК

В МК використовується статична оперативна пам'ять. Вона складається з двох банків H та L, кожний з яких має організацію (32Кх8). Банк реалізується на статичній ВІС КР537РУ17 (рис. 15), яка має наступні параметри:



організація – 8Кх8;
час вибірки адреси – 200 нс;
напруга живлення – 5В;
споживана потужність:
в режимі звернення – 479 мВт;
в режимі зберігання – 22 мВт.

Рис. 15. УГП КР537РУ17

Запам’ятовуючий масив (ЗМ) банка має організацію t×S, де t – число рядків, S – число стовпчиків.

$$t \times S = \frac{32K \times 8}{8K \times 8} = 4 \times 1,\ t=4,\ S=1.$$

Банк RAM складається з 4 рядків та одного стовпчика. Рядкам присвоюються адреси 0,1,2 та 3. Розрядність адреси рядка

$$n_{At} =]\log_2 t[=]\log_2 4[= 2.$$

Адреса звернення до RAM:

$$A(15:0)=A(15:14).A(13:0),$$

де A(15:14) – адреса рядка; A(13:0) – адреса елемента даних ВІС.
Функціональна схема RAM МК представлена на рис. 16.

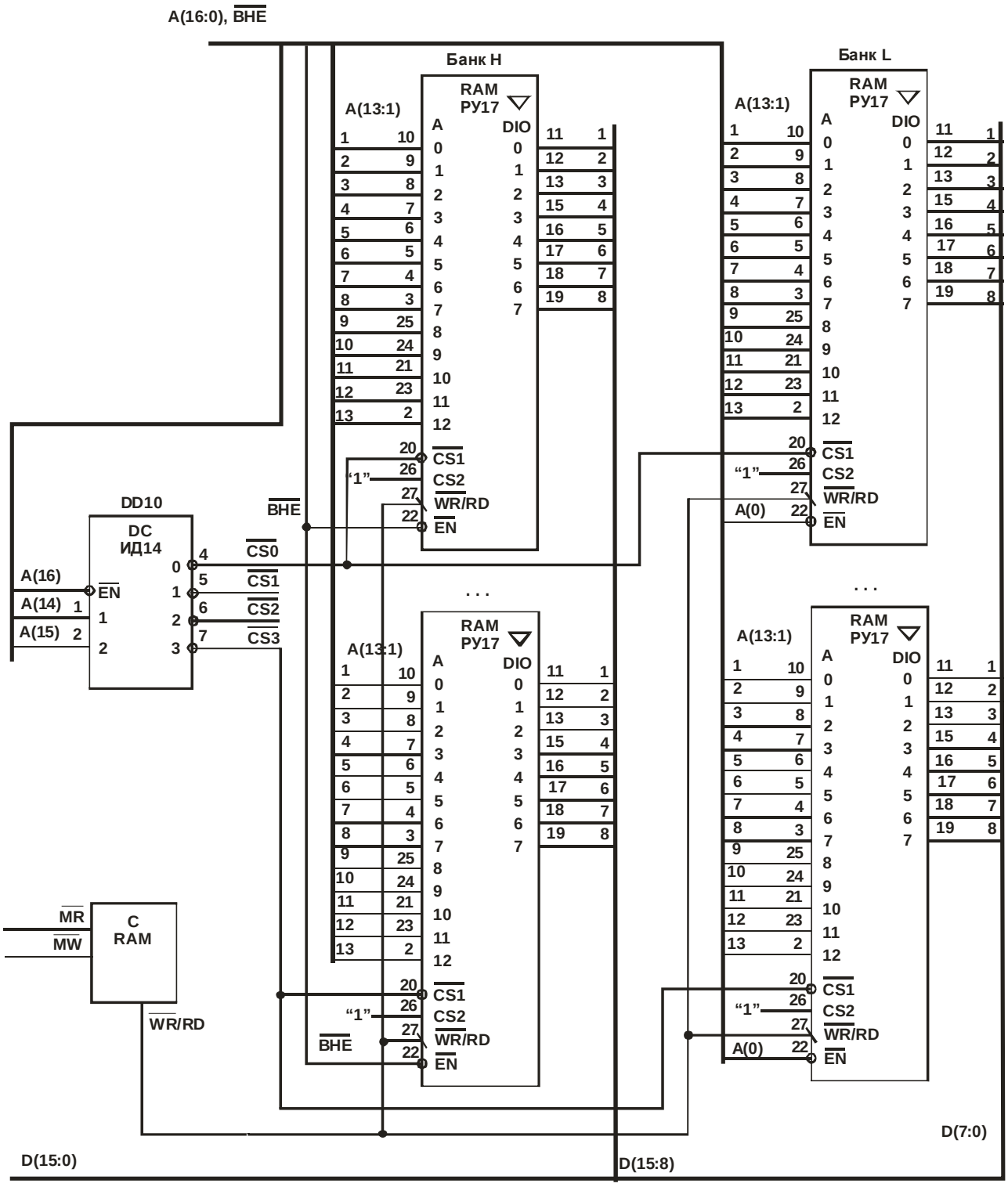


Рис. 16. Функціональна схема RAM МК

Мікросхеми DD1 – DD8 складають запам’ятовуючий масив пам'яті RAM.

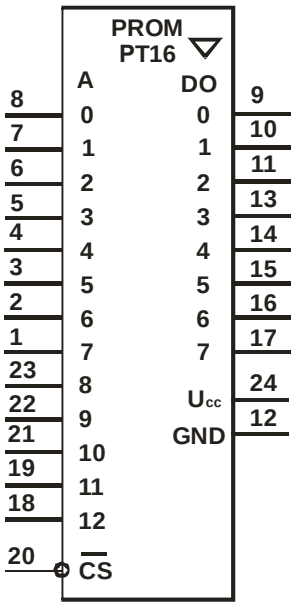
Мікросхема DD10 є декодером вибору рядка ВІС ЗМ. Реалізована на ІМС КР1533ИД14.

CRAM – контролер RAM. В залежності від сигналу звернення $\overline{MR}$ або $\overline{MW}$ формує командний сигнал роботи ВІС РУ17

$$\overline{WR}/RD = \begin{cases} 0 \text{ ïðè } MW = 1, MR = 0, \\ 1 \text{ ïðè } MW = 0, MR = 1. \end{cases}$$

Функціональна схема необхідна для створення принципіальної схеми пам'яті RAM МК.

3.4. Постійна (енергонезалежна) пам'ять ROM



Основний режим роботи – видача 16 – бітових слів. $N_{ROM} = 8Êáàéò = 4Êñë^3â$.

Використовуємо ВІС КР556РТ16 (рис. 17):

організація – 8Кх8;

час вибірки адреси – 85 нс;

напруга живлення – 5В;

споживана потужність – 1000 мВт.

Рис. 17. УГП КР556РТ16

ЗМ складається з одного рядка (t=1) та двох стовпчиків (S=2). Принципіальна схема ROM МК представлена на рис. 18.

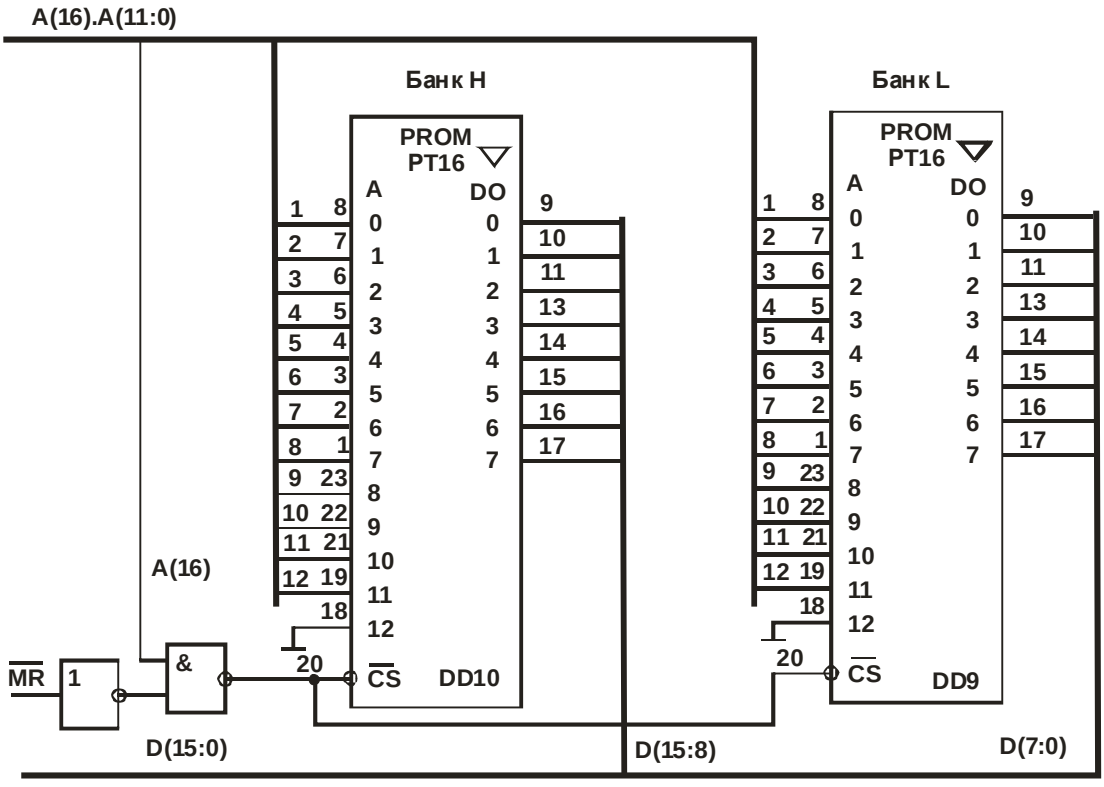


Рис. 18. Принципіальна схема ROM МК

4. Система вводу/виводу

Пристроями вводу/виводу в даному варіанті МК є звуковий динамік та світлодіод. Для їх адресації використовується АП вводу/виводу розміром (0–255). Керування цими ПВВ здійснюється 2-байтовою командою OUT АПВВ.

4.1. Розподіл АП вводу/виводу

Розподіл АП вводу/виводу показаний на рис. 19, де ЗД – звуковий динамік, СД1 – світлодіод.

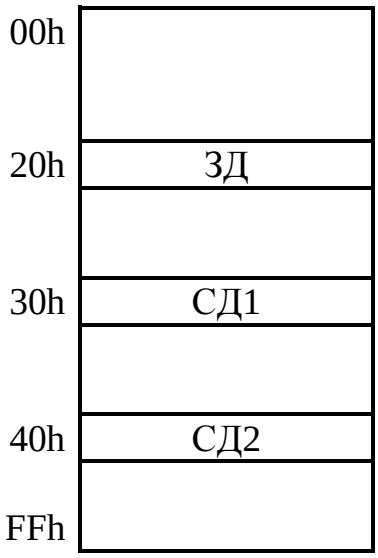


Рис. 19. АП вводу/виводу

4.2. Світлодіод

Відображає інформацію у вигляді світлової крапки (зелена, жовта, червона). Вольтамперна характеристика світлодіоду АЛ307 показана на рис. 20.

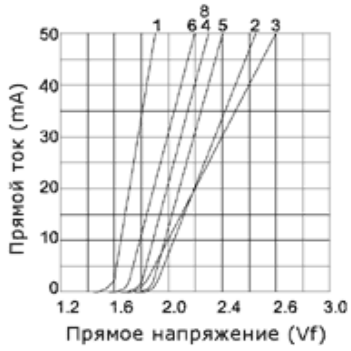


Рис. 20. Світлодіод АЛ307

АЛ307АМ – червоний,
АЛ307ВМ – зелений,
АЛ307ЕМ – жовтий.
Іпр – прямий струм,
Uпр – падіння прямої напруги.

Варіант реалізації програмного керування світлодіодом АЛ307 показаний на рис. 21.

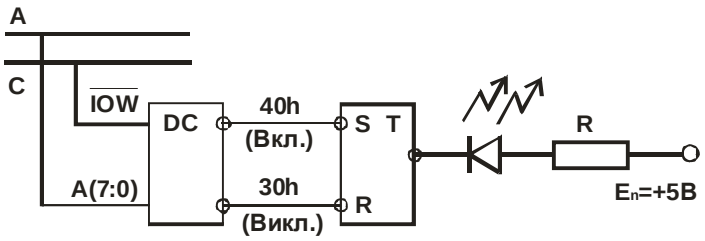


Рис. 21. Схема керування АЛ307

Принципіальна схема керування одним світлодіодом АЛ307 показана на рис. 22.

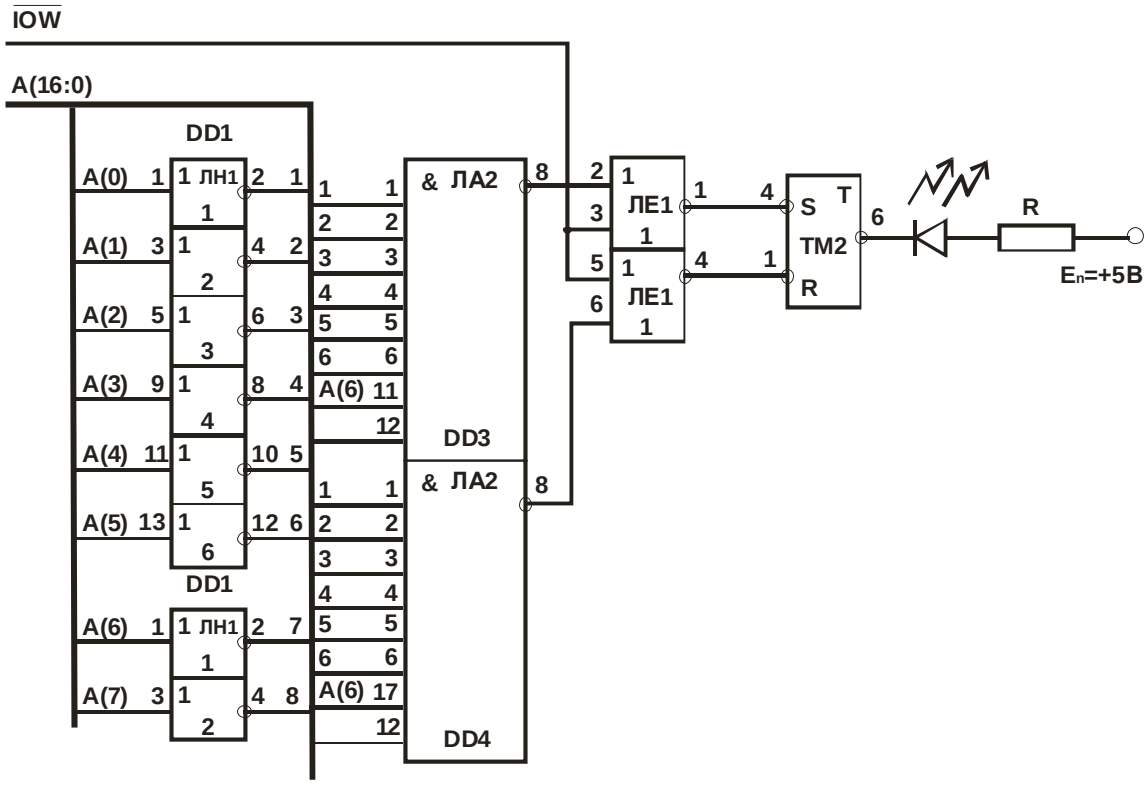


Рис. 22. Принципіальна схема програмного керування світлодіодом

4.3. Звуковий динамік

Джерелом звукових коливань є програмований таймер (ПТ) К1810ВИ54 (К580ВИ53). Структурна схема програмного ЗД представлена на рис. 23.

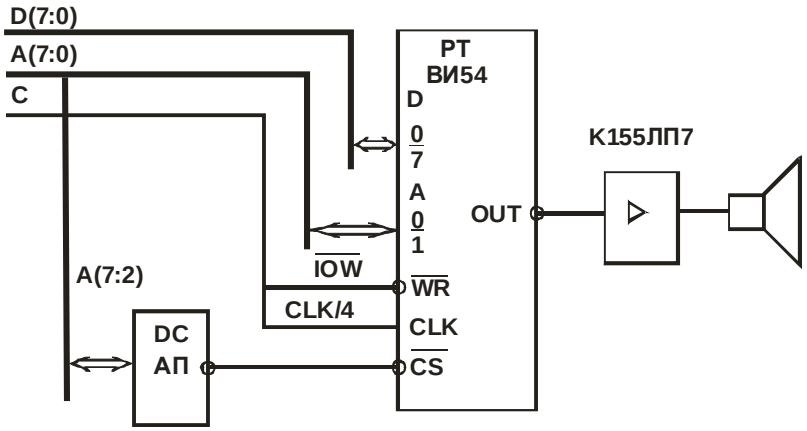


Рис. 23. Програмований ЗД

4. Структурна схема МК

Об’єднаємо попередні структури: процесора, пам'ять та систему вводу/виводу, структурну схему МК. Формат креслення – А4.

6. Принципіальна схема МК

Вихідними даними є структурна схема та елементна база. Формат креслення – А3.

Додаток Б

Варіанти завдань КП

№	Режим МП	АП пам'яті Кбайт	Пам'ять		АП вводу/виводу	ПВВ				Інтер. ПВВ
			RAM Кбайт	ROM Кбайт		Кл	Дис.	СД	ЗД	
1	1	128	64/S		54	4		1	+	1
2	1	256	32/S		128		2	2		1
3	1	512		128	258		2	1	+	1
4	1	1M		32/PF	32			2	+	1
5	1	128	16/S		64	2		1	+	1
6	2	256	8/S	4/PF	128			2		2
7	2	512	16/S		64			2		2
8	2	1M	256/D		128			1	+	2
9	2	64	32/S	1/PT	256	1	2	2	+	1
10	2	128		32/PF	128	2	4	1		1
11	1	256	64/S		64		2	1	+	1
12	1	512	16/S	8/PF	128	3	4	2		1
13	1	750	32/S	4/PF	64		2	2	+	1
14	1	1M	128/D	8/PE	128		2	1	+	2
15	1	64	4/S	1/PE	64		2	1		2
16	2	128	16/S		128			2	+	2
17	2	256	64/D		64			2	+	1
18	2	512	128/D		128	4		4		1
19	2	750	256/D		32			2	+	1
20	2	1M	128/D	32/PF	64		2	1	+	1
21	1	64	4/S		128	4		2	+	1
22	1	120	16/S		256	2		1	+	1
23	1	128	64/S		128		2	1	+	2
24	1	256		64/PF	256	3		2	+	2
25	1	300	64/D		128		4	1	+	2
26	2	400	128/D		128	4		2		2
27	1	1M		32/PF	32	2	2	1		1
28	2	128	16/S		64	2		1	+	1
29	1	256	8/S	1/PF	128			2	+	1
30	2	512	16/S		256	4	2	1	+	2
31	1	1M	32/S		128		2	2	+	2
32	2	512	256/D		64		2	1	+	2
33	1	256	64/S		128	2	2	1		2
34	2	128			64		1	1	+	1
35	1	64	128/S		128		2	2		1
36	2	1M		56/PF	256		1	2	+	1
37	1	512	256/D		128	2	2	1		1
38	2	256	64/S		64			2	+	1
39	1	128	32/S	8/PP	128		2	2		1
40	2	64	4/S	2/PE	256	1		2	+	2
41	1	1M	256/D		128	2	2	1		2
42	2	512	128/D		256	4	4	2	+	2
43	1	256	64/S		128		2	1	+	1
44	2	128		56/PF	64		1	2		1

45	1	64	8/S	2/PP	128		2	1	+	2
46	1	1M	128/D		256			2	+	2
47	1	512	64/S	8/PP	128			1	+	1
48	1	256	32/S		64			2	+	1
49	2	128	64/S		128		2	1	+	2
50	2	64	4/S	/PP	128	2	2	1	+	2
51	2	1M	256/D		256	4	2	2	+	1
52	1	512	128/D		128	2		2	+	2

де Ðåæèì ÌÏ $= \begin{cases} 1 - \text{MAX}, \\ 2 - \text{MIN}. \end{cases}$; КЛ – клавіатура (число клавіш); СД – світлодіод; ЗД – звуковий динамік; ДИС – 7-сегментний дисплей;

²íòåðôåéñ ÏÂÂ $= \begin{cases} 1 - \text{ðîçðîáëy}^{o}\text{ò ü}\tilde{n}\text{ÿ}, \\ 2 - \text{óí}^{3}\text{ô}^{3}\text{êîâàí èé (Â}^{2}\tilde{\text{N}}\text{ÂÈ55)}; \end{cases}$; АП – адресний простір.

Список літератури

1. Микропроцессорный комплект К1810: Структура, программирование, применение. Справочная книга / Ю.М. Казаринов и др. – М.: Высш. шк., 1990. – 269 с.

2. Самофалов К.Г. и др. Микропроцессоры. – К.: Техніка, 1986. – 278 с.

3. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения: Справочник. – 2-е изд. перераб. и доп. – М.: Радио и связь, 1990. – 512 с.

4. Архітектура комп’ютерів. Інтегральні мікросхеми серії КР1533. / Єфимець В.М. – К.: НАУ, 2003. – 27 с.

5. Архітектура комп’ютерів. Великі інтегральні схеми пам'яті. / Єфимець В.М. – К.:НАУ , 2007. – 37 с.